

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63029503 A**(43) Date of publication of application: **08.02.88**(51) Int. Cl. **H01L 21/28**(21) Application number: **61171565**(71) Applicant: **HITACHI LTD**(22) Date of filing: **23.07.86**(72) Inventor: **TANIZAKI YASUNOBU**(54) **MANUFACTURE OF SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE**

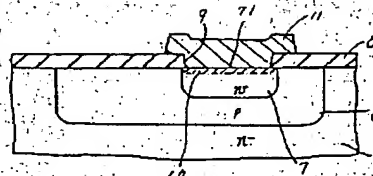
amorphous.

COPYRIGHT: (C)1988,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a stable contact part of low resistance and improve the quality of a fine semiconductor integrated circuit, by making previously the surface of a silicon semiconductor for the contact part amorphous, and forming on the amorphous part an electrode made up of an aluminum wiring containing silicon.

CONSTITUTION: On the surface of an silicon semiconductor on which an amorphous layer 10 is formed, an electrode made up of an aluminum wiring 11 containing silicon is formed. After the amorphous layer 10 is formed, the alminum wiring 11 containing silicon is formed without a heat treatment. In the semiconductor integrated circuit, the part to which aluminum containing silicon contacts is made amorphous, so that the crystal growth of silicon contained in aluminum is restrained. Consequently, without using expensive rare metal, and even in the case of a contact hole 9 of small diameter, a stable contact part 71 of low resistance can be obtained by a rather simple process wherein the region for a contact part 71 is previously made



⑫ Int. Cl.

H 01 L 21/28

識別記号

庁内整理番号

A-7638-5F

⑬ 公開 昭和63年(1988)2月8日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路装置の製造方法

⑮ 特 願 昭61-171565

⑯ 出 願 昭61(1986)7月23日

⑰ 発 明 者 谷 崎 泰 信 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

1. シリコン入りアルミニウム配線によってコンタクト部の電極が形成される半導体集積回路装置の製造方法であって、コンタクト孔を形成した後に、このコンタクト孔から露出している半導体面を非晶質化する工程を行い、この工程によって非晶質化された半導体面にシリコン入りアルミニウム配線による電極を形成することを特徴とする半導体集積回路装置の製造方法。

2. コンタクト孔を形成した後に、このコンタクト孔から露出している半導体面に重いイオンを打ち込むことによって当該面を非晶質化する工程を行い、この工程によって非晶質化された半導体面にシリコン入りアルミニウム配線による電極を形成することを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体集積回路装置技術、さらにはシリコン入りアルミニウム配線を用いたLSI(大規模集積回路装置)に適用して有効な技術に関するもので、たとえば、高度に微細化されたハイボラ型半導体集積回路装置に利用して有効な技術に関するものである。

〔従来の技術〕

たとえば、日経マイクロビル社刊行「日経マイクロデバイス」1985年9月号、71〜76頁

(1μmを境に微細さが一気に増すA/D配線技術(当面はコンタクトが課題)に記載されているように、高度に微細化された半導体集積回路装置では、その微細化に伴って種々の解決すべき問題が生じてくる。この微細化に伴う問題箇所の一つとしてコンタクト部がある。

まず、高度に微細化された半導体集積回路装置では、コンタクト部の拡散層が浅く形成されるために、そのコンタクト部の電極にアルミニウム

を用いたときに、そのコンタクト部下の半導体基板の一部がアルミニウム中に溶け出すことによって生じるアロイ・ビットが拡散層を突き抜けることがある、という問題が生じる。

そこで、上記アロイ・ビットの生成を防ぐために、あらかじめシリコンをアルミニウム中に溶かし込んだ配線材料、いわゆるシリコン入りアルミニウムが使われるようになってきた。

〔発明が解決しようとする問題点〕

しかしながら、上述した技術には、次のような問題点のあることが本発明者によってあきらかとされた。

すなわち、第4図に示すように、シリコン入りアルミニウム配線11によってコンタクト部71の電極を形成すると、そのコンタクト部71でのオーミック性を良くするために行われる熱処理によって、アルミニウム配線11中のシリコンの一部がコンタクト部71付近に析出し、この析出したシリコン12がコンタクト部71での抵抗を高めてしまう。この傾向は、微細化が進んでコンタク

ト孔9の径が小さくなるほど顕著になる。最悪の場合には、コンタクトが成立しないことすらある。

以上のように、半導体集積回路装置の微細化が進んでくると、シリコン入りアルミニウム配線では抵抗の低い良好なコンタクト部が形成され難くなる、という問題点が生じてくる。

この場合、第4図に示すコンタクト部71は、バイポーラ・トランジスタのn+型エミッタ拡散層7の上に形成されている。6はp型ベース拡散層を、8は表面酸化膜をそれぞれ示す。このエミッタ拡散層7上のコンタクト部71にシリコン12が析出すると、バイポーラ・トランジスタのエミッタ電極に寄生する直列抵抗の値が不確実に大きくなって、たとえばエミッタを共通接続する差動増幅回路などを精度良く構成することができなくなってしまう。

そこで、本発明者は、第5図に示すように、コンタクト孔9の開口部に白金PtやタングステンWなどのバリア金属層13をあらかじめ形成し、

このバリア金属層13の上にシリコン入りのアルミニウム配線11を形成することを検討した。これによれば、コンタクト部71にバリア金属13によるシリサイド層14が形成されるため、抵抗が低くかつ比較的安定なコンタクト部71が得られる。

しかしながら、第5図に示した構成では、白金PtやタングステンWなどの高価な稀少金属によるバリア金属層13をコンタクト孔9の開口部にあらかじめ形成しなければならないので、工程が複雑化するとともに、かなりコスト高になってしまふ、という問題点が生じてしまふ。

この発明の目的は、工程をそれほど複雑にすることなく、また高価な稀少金属によるバリア層を用いずに、さらに、径の小さなコンタクト孔であっても、低抵抗で安定なコンタクト部が得られるようにし、これによって微細化された半導体集積回路装置の品質の向上を可能にする、という技術を提供することにある。

本発明の前記ならしにそのほかの目的と新規な

特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの特徴を簡単に説明すれば、下記のとおりである。

すなわち、コンタクト部となるところのシリコン半導体面をあらかじめ非晶質化し、この非晶質化されたところにシリコン入りアルミニウム配線による電極を形成する、というものである。

〔作用〕

上記した手段によれば、シリコン入りアルミニウムが接触するところが非晶質化されていることにより、そのシリコン入りアルミニウムに含まれるシリコンの結晶成長が抑制されるようになる。これにより、高価な稀少金属によるバリア層を用いずに、かつ径の小さなコンタクト孔であっても、コンタクト部となるところをあらかじめ非晶質化するだけの比較的簡単な工程をもって、低抵抗で安定なコンタクト部が得られるようになり、

これ
品質
る。
〔実
以
説明
な
分を
第
技術
要部
先
にバ
導体
る
コン
形成
1と
3が
れた

による
アルミ
成され
以上
の他の
ニウム
れる
第2
C)を
を示す
トラン
ク電極
れそ
1は名
アルミ
のため
さて
回路装
する
のシリ

なる。最悪の
ことすらあ

置の微細化が
ニウム配線で
形成され難く

ト部71は、
エミッタ拡散
型ベース拡散
層。このエ
1にシリコン
ランジスタの
値が不連続に
共通接続する
ことができ
すように、コ
タングステン
じめ形成し、

図面からあき

ら代表的なも
のとおりであ

ころのシリコ

この非晶質
ミニウム配線
である。

入りアルミニ
されていること
ウム中に含ま
いるようにな
るバリア層
穴であって
らかじめ非晶
質。低抵抗
ようになり

これによって微細化された半導体集積回路装置の
品質の向上を可能にする、という目的が達成され
る。

【実施例】

以下、本発明の好適な実施例を図面に基づいて
説明する。

なお、各図中、同一符号は同一あるいは相当部
分を示す。

第1図(A)(B)(C)は、この発明による
技術が適用された半導体集積回路装置製造方法の
要部における一実施例を示す。

まず、第1図(A)に示すように、半導体基板
にバイポーラ・トランジスタなどの能動素子の半
導体下地をなす拡散層4、5、6、7を形成す
る。この場合、半導体基板としては、p型シリ
コン半導体基板1にn型エピタキシャル層2を
形成したものが使用される。シリコン半導体基板
1とエピタキシャル層2との間にはn+型埋込層
3が島状に形成される。また、埋込層3が形成さ
れた回りにはp型分離拡散層4が形成される。埋

による電極を形成する。この場合、シリコン入り
アルミニウム配線11は、上記非晶質層10が形
成された後、熱処理を経ずに形成される。

以上のようにして、エミッタ拡散層7およびそ
の他の部分拡散層において、シリコン入りアルミ
ニウム配線11によるコンタクト部71が形成さ
れる。

第2図は、以上説明した工程(A)(B)(C)
を経て構成された半導体集積回路装置の一部
を示す。同図に示す部分にはnpnバイポーラ
トランジスタQ1が形成されている。Cはコレク
タ電極、Bはベース電極、Eはエミッタ電極をそ
れぞれ示す。各電極C、B、Eのコンタクト部71
はそれぞれ、非晶質層10の上にシリコン入り
アルミニウム配線11をパターニング形成したも
のである。

さて、以上のようにして構成された半導体集積
回路装置では、シリコン入りアルミニウムが接触
するところが非晶質化されていることにより、そ
のシリコン入りアルミニウム中に含まれるシリコ

込層3の上には、n+型コレクタ拡散層(CN)
5およびp型ベース拡散層6が形成される。さら
に、ベース拡散層6内には、ヒ素Asなどのn導
電性付与物質によるn+型エミッタ拡散層7が形
成される。これにより、npnバイポーラ・トラ
ンジスタの半導体下地が形成される。8は表面酸
化膜を示す。

次に、第1図(B)に部分的に拡大して示すよ
うに、拡散層7の上の酸化膜8を部分的に除去し
てコンタクト孔を形成する。そして、このコンタ
クト孔9から露出したシリコン半導体面に、アル
ゴンなどの比較的重い原子からなるイオンAr⁺
を高速で叩き込む。すると、その重いイオンAr⁺
が叩き込まれた衝撃によって、コンタクト孔9
の露出面すなわちこれからコンタクト部71とな
る面が非晶質化される。10は、表面に沿って形
成された非晶質層を示す。

この後、第1図(C)に部分的に拡大して示す
ように、非晶質層10が形成されたシリコン半導
体面の上に、シリコン入りアルミニウム配線11

の結晶成長が抑制されるようになる。これは
シリコンの結晶成長を促進する結晶面がコンタ
クト部71からなくなることによるものと解するこ
とができる。これにより、高価な稀少金属による
バリア層を用いずに、かつコンタクト孔9の径が
小さくても、コンタクト部71となるところをあ
らかじめ非晶質化するだけの比較的簡単な工程で
もって、低抵抗で安定なコンタクト部71が得ら
れるようになる。この結果、微細化された半導体
集積回路装置の品質の向上が可能になる。

第3図は、第2図に示した部分のnpnバイ
ポーラ・トランジスタQ1を用いて構成される回
路の例を示す。

同図に示す回路は差動型の増幅回路であって
共に同じく形成されたバイポーラ・トランジスタ
Q1、Q2の各コレクタがそれぞれ所定のコレク
タ負荷抵抗Rc1、Rc2を直列に介して正側電
源Vccに接続されるとともに、両トランジスタQ1
、Q2の各エミッタが共通エミッタ抵抗Reを
介して負側電源Veeに接続されている。この差動

型増幅回路は、2つの入力 V_{in1} 、 V_{in2} の差を増幅して出力するので、たとえば半導体集積回路化されたA/D変換器の比較器などとして利用される。

この場合、各バイポーラ・トランジスタ Q_1 、 Q_2 のエミッタには、コンタクト部21の低抵抗 R_{e1} 、 R_{e2} が直列に寄生しているが、その低抵抗 R_{e1} 、 R_{e2} は上述した製造方法によって低抵抗化されている。これにより、オフセットなどの特性が良好な差動型増幅回路が構成される。

以上、本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、非晶質化を行う手段として、アルゴン・イオン Ar^+ などの重いイオンを打ち込む方法に代えて、化学的な処理を行うようにしてもよい。

以上の説明では主として本発明者によってなされた発明とその背景となった利用分野であるバイ

ポーラ型の半導体集積回路装置に適用した場合について説明したが、それに限定されるものではなく、たとえば、MOS型半導体集積回路装置あるいはバイポーラ・MOS複合型の半導体集積回路装置などにも適用できる。

少なくともシリコン入りの金属配線でコンタクト部の電極が形成される条件のものには適用できる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、高価な稀少金属によるバリア層を用いずに、かつ径の小さなコンタクト孔であっても、コンタクト部となるところをあらかじめ非晶質化するだけの比較的簡単な工程をもって、低抵抗で安定なコンタクト部が得られるようになり、これによって微細化された半導体集積回路装置の品質を向上させられるようになる。という効果が得られる。

4. 図面の簡単な説明

第1図(A)、(B)、(C)はこの発明による半導体集積回路装置製造方法の要部における工程を順に

示す断面図

第2図は第1図に示した工程を経て構成された半導体集積回路装置の一部分を示す断面図

第3図は第2図に示した半導体集積回路装置に形成されている素子を用いて構成される回路の例を示す図

第4図は本発明者により明らかとされた問題点を説明するための断面図を示し

第5図は本発明者により検討された技術を説明するための断面図である

- 1 p型シリコン半導体基盤、2 n型シリコンエピタキシャル層、3 n+型埋込層、4 p型分の拡散層、5 n+型コレクタ拡散層、6 p型ベース拡散層、7 n+型エミッタ拡散層、8 表面酸化膜、9 コンタクト孔、10 非晶質層、11 シリコン入りアルミニウム配線

7.1 コンタクト部

代理人 弁護士 小川勝男

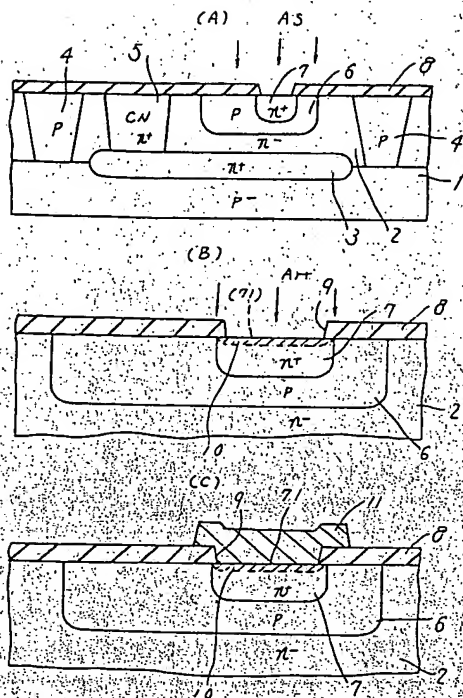
た場合に
のではな
装置ある
集積回路

コンタク
適用でき

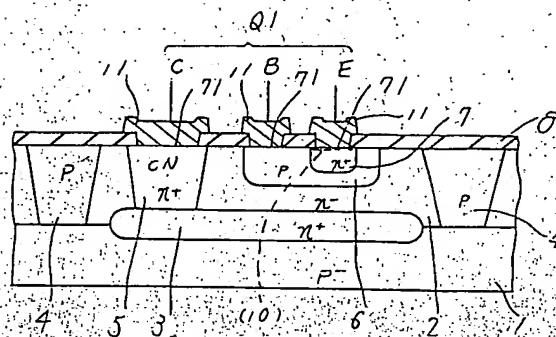
代表的なも
すれば、下

リア層を用
あっても
非晶質化
低抵抗で
なり、これ
装置の品質
効果が得ら

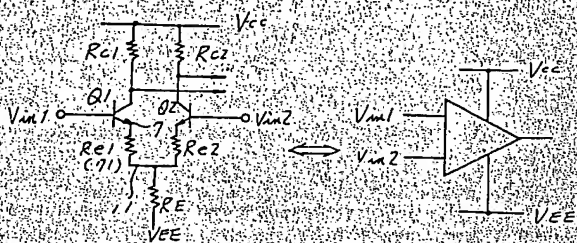
第 1 図



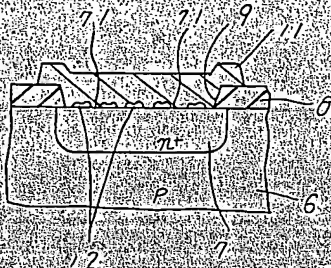
第 2 図



第 3 図



第 4 図



第 5 図

